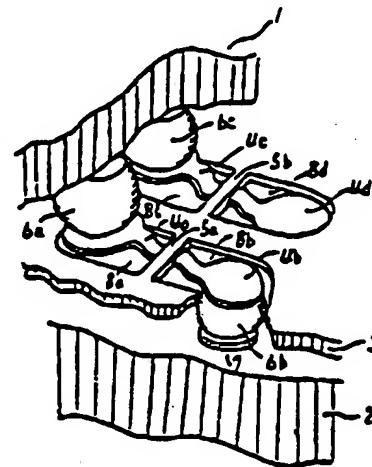


JP 401155633.A  
JUN 1984\* GKT  
TRANSLATED**(64) SEMICONDUCTOR DEVICE**

(11) 1,155,633 (A) (43) 19.6.1989 (19) JP  
(21) Appl. No. 62-314167 (22) 14.12.1967  
(71) HITACHI LTD (72) KAZUJI YAMADA (4)  
(51) Int. Cl. H01L21/60

**PURPOSE:** To form the joint of a semiconductor chip and a wiring board into a flexible structure to prevent the generation of a thermal stress and to improve the reliability of a semiconductor device by a method wherein the connection of the chip with the board is conducted through foillike conductors provided on an organic film.

**CONSTITUTION:** A terminal provided on a semiconductor chip 1 is connected with a foillike conductor 4a provided on an organic film 3 through a solder ball 6a. A terminal 7 provided on a wiring board 2 is connected to a foillike conductor 4b formed integrally with the conductor 4a through a solder ball 6a. The conductors 4a and 4b are movable in punched parts 8a and 8b of the film 3. Therefore, even though the positional relation between the chip 1 and the board 2 is changed due to a thermal expansion and so on, no thermal stress is generated at the joint of the chip and the board 2. If the rear of the chip 1 is fixed on a sealing cap, the protection and the heat dissipation property of an element can be improved. A diagram is a cutaway and vertical line parts show the respective sectional surfaces of the chip, the board and the film 3.

1 - 738, 739  
750, 756

① 日本国特許庁(JP)

① 特許出願公開 -

## ① 公開特許公報(A) 平1-155633

① Int. Cl.

H 01 L 21/60

① 特 願 昭62-314167

① 出 願 昭62(1987)12月14日

① 公開 平成1年(1989)6月19日

① 特 願 昭62-314167

① 出 願 昭62(1987)12月14日

審査請求 未請求 発明の数 1 (全6頁)

## ① 発明の名称 半導体装置

① 特 願 昭62-314167

① 出 願 昭62(1987)12月14日

① 発 明 者 山 田 一 二 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

① 発 明 者 曾 我 太 佐 男 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

① 発 明 者 三 吉 忠 彦 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

① 発 明 者 児 玉 弘 則 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

① 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

① 代 理 人 弁理士 中 本 宏 外1名

最終頁に続く

## 明 細 書

## 1 発明の名称

半導体装置

## 2 特許請求の範囲

1 半導体チップ表面のほぼ全面にわたって外部接続端子が配設されたチップと、そのチップを固定し、かつ電氣的接続をとるため、チップの端子にほぼ対応した位置に端子を有する基板とを向い合せて接続する半導体装置において、両者の端子が、その間に配設した有機層中に形成された導体を介して集積回路に接続されていることを特徴とする半導体装置。

2 該両者の端子の位置が、チップの表面の絶縁膜上からみたと、両者の導体の集合領域と重ならないように配設されている特許請求の範囲第1項記載の半導体装置。

3 該導体の少なくとも一端が、電氣的に接続された少なくとも2枚の部材からなり、チップ側の接続手段と基板側の接続手段が、それぞれ導体に接続されている特許請求の範囲第1項記載の半導体装置。

## 図面の簡単な説明。

1 該チップ表面が、絶縁膜を介して禁止層をチップに形成されている特許請求の範囲第1項記載の半導体装置。

2 該チップを接続する基板が、プリント基板である特許請求の範囲第1項～第3項のいずれか1項に記載の半導体装置。

3 該有機層中に、電気的接続部を形成し、端子間に接続されている特許請求の範囲第1項記載の半導体装置。

## 4 発明の詳細な説明

## (産業上の利用分野)

本発明は半導体チップと基板との接続に係り、特に、接続部に熱応力等が加わる接続部の適用に好適なフレキシブル接続板に関する。

## (従来の技術)

例えば、シリコンを用いたものは集積回路の増大に伴い、チップの大型化、端子数の増加が顕著である。これに伴い、従来の接続板が試みられている。その一つに、電子情報通信学会創立10周

特開平、155633(2)

本発明は、半導体チップと配線基板間に半導体チップのついたポリイミドフィルムを入れ、チップを互いに多段積設する方法が提示されている。この方法により、積設の信頼性が大幅に向上したと報告されている。

【発明が解決しようとする問題点】

一般に、大形および消費電力が多いための装置を考慮する必要がある。また、電子の信頼のためにも低電圧レベルすることが好ましい。この1つの条件を満足させるためには、配線基板上にチップを設けてチップを列止すると共に、チップの裏面（配線基板に貼した面と逆の面）を配電チップに金属的に接続する必要がある。このように剛性の高い積設にすると、チップの周辺リング部と基板接続のための多段半田の熱膨張係数の差により、多段半田チップの接続方向に熱応力が発生し、接続の信頼性が著しく低下する現象が生ずる。

本発明の目的は、接続部を信頼性向上することとに

より、接続及び電子の信頼も可能な接続法を提示した半導体装置を提供することにある。

（問題点を解決するための手段）

本発明を説明すれば、本発明は半導体装置に関する発明であつて、半導体チップ表面のほぼ全面にわたつて外部接続端子が配置されたチップと、そのチップを固定し、かつ電氣的接続をとるため、チップの端子に互に対応した位置に端子を有する基板とを肉合させて接続する半導体装置において、両者の端子が、その間に配置した有機層中に形成された導体を介して互向接に接続されていることを特徴とする。

前記目的は、半導体チップと配線基板の間に、金属箔状導体を有する有機層を入れ、導体の剛性を弱くすることによつて、チップと基板間の接続を信頼性向上することと達成される。

基本的には、半導体チップの外部端子と配線基板の端子の位置をずらせることによつて、端子・端子間に、上記導体状金属を入れることと達成される。なか、両者の端子の位置が、チップの表

面のほぼ直上からみたとし、両者の導体の接合領域と重ならないように配置されているのが好ましい。

また、両導体の少なくとも一導が、電氣的に接続された少なくとも2枚の部材からなり、チップ側の接続手段と基板側の接続手段が、それぞれの導体に接続されているのが好ましい。

更に、該チップ裏面が、熱伝導体を介して列止用チップに固定されているのが好ましい。

そして、該チップを接続する基板が、プリント基板であるのが好ましい。

更にまた、該有機層中に、電気絶縁部を形成し、端子間に接続してもよい。

例えば、導体を有する有機層に接続されるデバイスが絶縁デバイスで、信号を高速度伝達しなければならぬ場合がある。そのとき、信号線に定在波が立つたりにくく、信号線終端に信号線の特性インピーダンスに実質的に等しい抵抗がある端子間に接続する必要がある。そのとき、その抵抗を有機層中に形成することと、あるいは点

で有効である。第一に、抵抗の値をあらかじめ接続前に定めること、第二に、メーカを有効に活用できること、第三に、デバイスに最も近い点に抵抗を接続することが出来るため、片端抵抗の効果が最もよく働くこと等である。

また、有機層中に形成するのは、上記のような抵抗に限らず、容量でも可で、更に一般の電気回路で使用される部品を落着いてもよい。

本発明においては、金属箔状導体がチップと配線基板の端子間の接続をする。中央部のみ有機層で支持されているため剛性が小さく、両者の間隔の変動、平面方向の変位も吸収する作用を持つ。有機層は前記金属導体の高導度の位置決めに使われる。

【実施例】

以下、本発明を実施例により更に具体的に説明するが、本発明はこれら実施例に限定されない。

実施例1

本発明の1実施例を図1図に示す。すなわち、図1図は本発明を説明するカットモデル図であり、

符号 1 は半導体チップ、2 は配線基板、3 は導体付有基板、4 は導体、5 はフリンジ部、6 は半田ボール、7 は基板上の電子回路、8 は有線回路の打込部を意味する。半導体チップ 1 の外部端子 2 個のみについて図示されている。チップ端子と配線基板 2 の端子の接続について、1 つの端子に導体 4、配線基板の配線法を説明する。図 1 に半導体、基板にノリライズ層等があるけれども、本発明の本質には関係ないため、省略して簡略化してある。

チップ端子は半田ボール 6 と接続される。このとき同時に、有線回路中に形成された導体 4 にも接続される。導体 4 の周辺 3 は有線回路が形成されている。この導体 4 は 11 と一体構造で、フリンジ部 5 によって有線回路に固定されている。有線回路の 11 の部分は導体 4 がくわじりに対する剛性は小さくしてある。次に、導体 11 と基板上の電子回路 7 とは半田ボール 6 で接続される。このようにして、チップと基板の端子は接続される。従来のように説明では半田ボール 6 は 11 とは別に形成されると述べていたが、同時に接続されてもよい。

とができる効果がある。

実施例 1

他の実施例を図 2 に示す。図 1 に示した実施例との違いは、チップ側を接続する半田ボール 6 が銅又は金あるいはそれらに対応した金属ペースト 6a を介してノリライズ層 10 に熱圧着で一層ボンディングされているところである。

11 半田ボール部を熱圧着で一層ボンディングし、6a 部を半田ボールとしても成り立つ。

実施例 4

電子接続導体 4 の形状は、半導体チップと有線端子を接続する時の剛性に強く係わる。ボンディングが十分行える剛性がありかつ電子間すれを低減できる剛性が好ましい。一例を図 4-1 図及び図 4-2 図に導体形状の平面図として示した。各図において符号 11 は導体部、12 は電子間接続導体部を意味する。

図 4-1 図は電子間位置すれを低減しやすいた導体形状を示す。電子間を接続する電子間接続導体部 12 の実質長を長くしたものである。

よい。

この構造によれば、チップと基板が接続されてから、両者の位置関係が熱などの外乱によつて変化したとき、半田ボール 6、及び 11 並びに導体部 4、及び 11 更には有線回路の導体部 4 (フリンジ部) 5 で位置を低減する。このため、従来のごとく、半田ボールが一列に多数になつていて両者の位置のずれを低減する部分が半田のみとなるため、本発明では割合が断しく向上した。

実施例 5

本発明の実態実施例の断面図を図 3 図に示す。図 3 図において、符号 1-3 は図 1 図と同様であり、7 はチップ 1 の裏面につけられた絶縁層、10 はノリライズ層を意味する。図 1 図との違いは可動導体部 4、11、10、14 の半田ボールが接続された面は有線部 10、11、10、14 がつけられた面になつていて、この構造では、半田ボール部の位置が大きくずれたとしても、導体部が絶縁されているため必要を回路との接続を阻害し

この形状とすることとで、平面内の電子間位置を低減しやすくとすると同時に、断面と断面方向位置の低減も大いに改善できる。

図 4-1 図は半田ボール付時の剛性を上げた構造である。電子間接続導体部 12 とは反対側になる面に可動導体 11a 及び 11b を追加した構造である。

これらの構造選択はチップ実装材料によつてかわる。

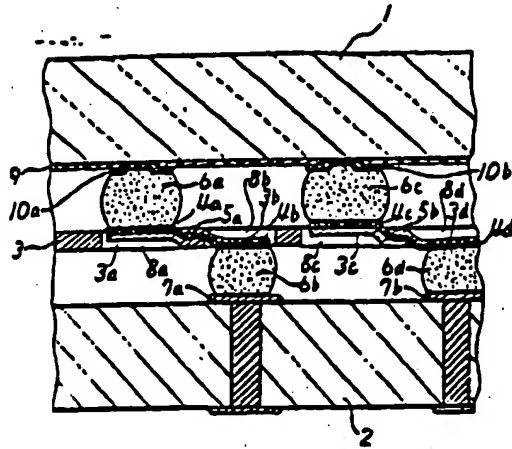
実施例 6

図 3 図に断面図を考慮した実施例を示した。すなわち図 3 図はベクターに適用した例を示す断面図であり、符号 11 はチップ、12 は半田、13 は半田材料、14 はチップ側止空間を意味する。図 3 図においては、チップ 11 とチップ 1 が半田等の低熱伝導材料で接続されている。チップと配線基板 2 の接合は半田材料 15 で行われる。このとき内部空間は真空又は不活性ガス又は 30 ガスが封入される。

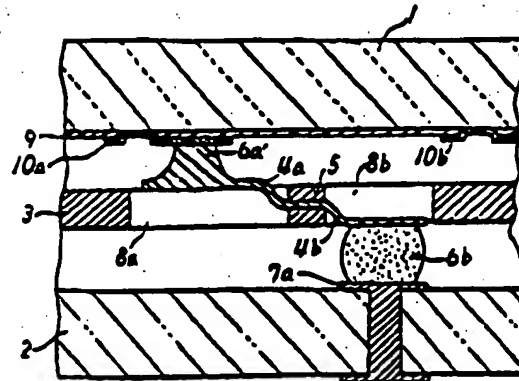
チップ間隙があると、チップ基板 (図 3 の半田 15)

- 182 -

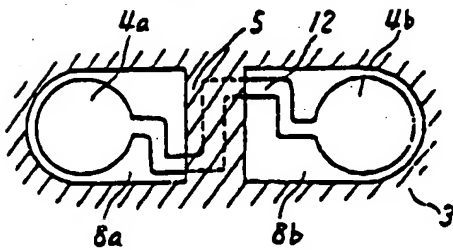
第 2 図



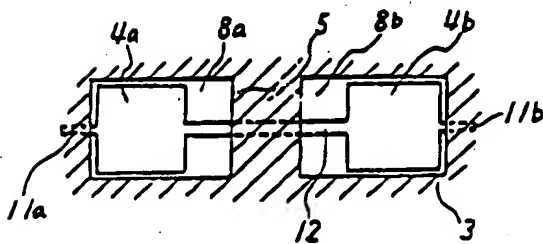
第 3 図



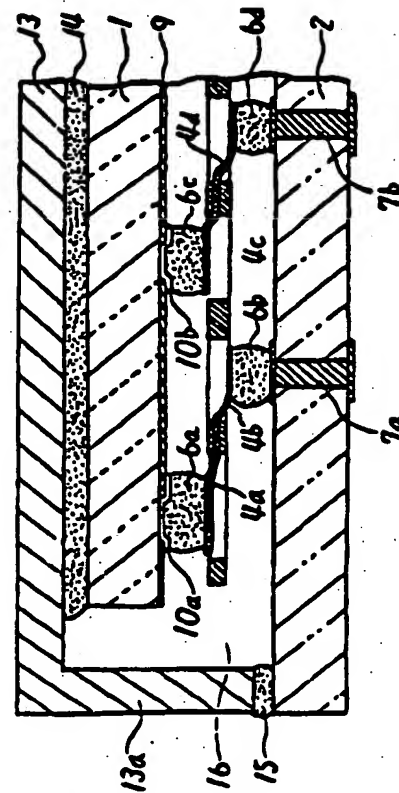
第 4-1 図



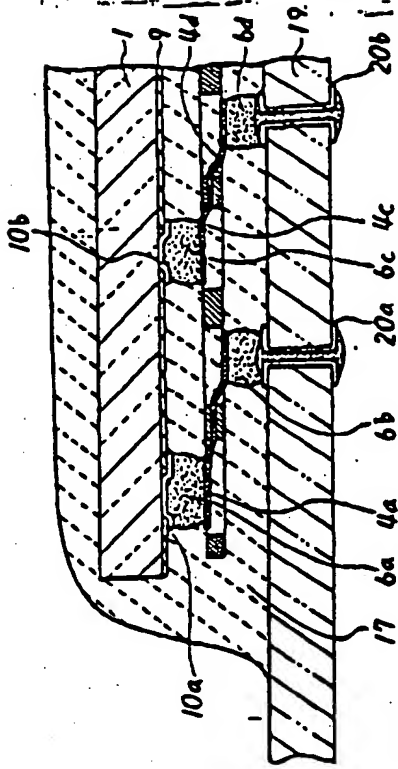
第 4-2 図



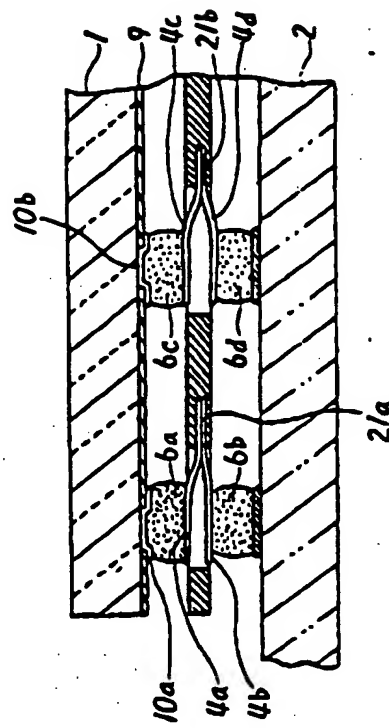
第 5 図



第 6 図



第 7 図



第1頁の続き

⑦発明者 九嶋 忠雄

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**